반도체 특강 : 소자편

[반도체 탐구 영역 해설 이용 안내]

- 본 해설의 저작권은 진종문과 한빛아카데미(주)에 있습니다.
- **이 자료를 무단으로 전제하거나 배포할 경우 저작권법 136조에 의거하여 최고 5년 이하의 징역 또는 5천만원 이하의 벌금에 처할 수 있고 이를 병과(倂科)할 수도 있습니다.**

11. 산화막 편

[문제 1]

Oxidation Processing으로 Growth된 얇은 Oxide의 제일 중요한 역할은 Electron의 이동을 Blocking 혹은 Shielding하는 것이다. 산소와 같은 Process Gas를 사용하는 경우는 Dry 방식이라고 하고, 수증기나 물과 같은 액체를 사용하는 경우는 Wet 방식이라고 한다. 습식 방식보다는 건식 방식의 산화막이 더 절연성이 높고, 고밀도의 재질로 되어 있으며, 외부 환경에 오래 견딜 수 있지만 공정 속도가 느리다는 단점이 있다. 같은 두께일 경우는 Wet방식으로 형성되는 막의 Insulating 기능이 떨어진다. 따라서 Wet 방식일 경우는 Layer의 Thickness를 두껍게 해야 하는데, 그렇게 되면 Gate Terminal에서 Channel로 Electric Field의 Transfer Speed가 느려진다.

[문제 2]

SiO2(Oxide)은 Oxygen과 Silicon이 결합한 막이고, Nitride Layer는 Nitrogen이 Silicon과 결합한 것이다. Insulation Layer의 종류로는 대표적으로는 Base Material이 처음 시작은 Germanium Oxide이었다가 곧바로 Silicon Base로 바뀌었고, Silicon Wafer로 Oxide(SiO2)와 Nitride Layer(Si3N4)을 사용하기 시작했다. Silicon Oxide을 40년 이상 사용하다가, CD(Critical Dimension, 임계치수)의 한계에 다다르자 SiO2 이외에, 45nm 이후부터는 높은 Insulating Material이자 High-k 물질인 이산화하프늄HfO2과 원자층증착막의 ALD층에서는 이산화지르코늄 ZrO2 등이 새로운 물질로 적용되고 있다.

[문제 3]

Thermal-Oxidation 방식으로 형성된 Oxide은 Deposition방식에 의한 Growth Layer와 Diffusion에 의한 Diffusion Layer가 합해져 구성된다. Oxide의 Growth Layer + Diffusion Layer 구성 중, Diffusion Layer가 Oxide 전체의 지지대(뿌리) 역할을 해주므로 Deposition으로만 구성된 대부분의 Layer(CVD, PVD) 보다 Oxide가 더욱 견고하고 Isolation기능이 뛰어나다. Diffusion Layer는 Diffusion과 Reaction이 Mix되어 진행된다.

[문제 4]

Screen-oxide는 Ion-Implantation시의 Dopant를 Filtering 하기 위하여 적용한다. Insulation Layer의 Thickness가 얇아질수록 높은 Dielectric Material(High-K)을 사용해야 Insulating 기능이 유지되거나 높아진다. Nitride Layer Deposition은 Deposition방식이므로 High Temp 조건하에서, 압력으로는 Low Pressure를 사용하여 Process Gas가 Surface에 쉽게 달라붙도록 하는데, 이를 저압CVD(Low Pressure CVD, LPCVD) 방식이라 한다.

12. 게이트 옥사이드 편

[문제 1]
옥사이드 막 중에 게이트 하단에 위치하는 막을 게이트 옥사이드라 한다. 게이트 옥사이드는 옥사이드 막 중에 가장 얇은 막으로 형성한다. 최근에는 두께를 최소 2nm 정도까지도 관리하고 있으며 갈수록 이 보다 더욱 얇아지고 있다. 메모리의 게이트 옥사이드가 시스템 반도체의 게이트 옥사이드 보다 더욱 얇아지는 추세이다.

[문제 2]
Gate Oxide의 Layer가 Thick Layer인 경우에는 전반적으로 Reliability가 높아진다. 또한 Electron이 Thick Layer를 통과할 때 Electron들이 Gate Oxide Layer에 Trap되어 원치 않는 문제를 일으킬 확률이 높아진다(Trapping 전자). 한편 두꺼운 만큼 Leakage Current는 줄어든다. Thin Layer인 경우는 반대현상이 나타난다. 얇은 만큼 Gate의 Voltage가 Channel로의 전달 속도가 빨라져서 Transistor의 ON/OFF Switching 성능이 높아지지만, Electron을 Floating Gate에 Save할 때는 도리어 불리하다. 그러나 구조적으로 TR Scaling할 때는 Layer의 Thickness를 얇게 해야 한다.

[문제 3]
Retention기능은 Non-volatile Memory의 Cell기능인데, Operation기능과 Retention기능은 Layer의 Thickness, Reliability 등, 대부분 상호 반대현상을 보인다. Retention이 높다는 것은 막이 두껍다는 것이고, 두꺼운 막을 통한 Electron의 In/Out-Speed는 떨어진다. Technology가 발전한다는 것은 Scaling이 진행된다는 것이고, TR Scaling은 Gate Oxide의 Thickness가 얇아지는 방향이다. Sub의 S-D 사이에 형성되는 Channel을 가능한 빠르게 형성되어야 TR의 Speed가 향상된다. ALD 방식을 적용할 때는 ZrO2막으로 형성한다.

[문제 4]
Gate Oxide의 Material 중, Permittivity가 높아지는 순서로는 SiO2 > SiON > HKMG (HfO2, ZrO2)이다. Scaling이 진행될수록 Permittivity을 높여야 Insulation Layer의 Thickness를 얇게 할 수 있다.

13. ALD 편

[문제 1]

ALD는 Absorption방식을 적용하므로 CVD 혹은 PVD의 약점인 Step Coverage로 인한 문제가 거의 없을 뿐 아니라, ALD막 내부에 형성되는 Void나 표면에 직경이 극히 작게 뚫리는 Pinhole도 거의 없으며, Particle 등 오염 발생도 비교적 적다. 막 전체가 균질한 격자 조성(정합증착능력)을 갖고, Nano 단단위의 일정한 두께로 Coating이 가능하다는 장점이 있기 때문에 ALD는 CVD나 PVD의 Weak Point을 거의 보완한 Deposition 방식이다. 그러나 공정 속도가 매우 느리다는 단점을 갖고 있다.

[문제 2]

ALD는 Thermal-Energy에 의한 Thermal-ALD와 Plasma를 이용한 방식인 Plasma-ALD 혹은 PEALD(Plasma Enhanced ALD)가 있다. Plasma-ALD는 반응체를 Plasma로 이용하여 ALD를 진행하기 때문에, 반응성이 Thermal-ALD에 비하여 매우 빠르고 활발하게 일어나서, Precursor와 Precursor의 Purge공정은 동일한데, Reactant 및 Reactant Purge 공정(불완전반응도 줄어듬)이 단축된다. Plasma 방식의 장점은 Process Time도 줄어들고 또한 Thermal-ALD에서 구현하지 못하는 여러가지 Dielectric Layer도 PEALD로 가능하다는 것이다. SiO2, HfO2, Al2O3 등 Thermal-ALD 보다는 낮은 온도에서 반응하는 Source Gas들을 Reactant로 활용할 수 있다.

[문제 3]

해설 없음

[문제 4]

ALD의 사이클 : Precursor Absorption(Self Limitation) ➔ Subsitution(Self Limitation) ➔ New Layer ➔ By-products Exhaust <분자 1개층 생성 → Cycling Repeat(여러 개 분자층 생성) → 막이 계획된 두께로 형성>

14. 화학기상증착(CVD) 편

[문제 1]
상하막들은 서로 섞이거나(입자들이 침투), 상호교류가 발생해서는 않된다. 그러나 층과 층 간의 Adhesion은 높아야 하며, Sub, Well, Source/Drain Terminal들의 Type은 서로 반대가 되어야 한다. 다만, LDD-Termination, Halo-Sub, Twin Well-Sub 등 일부 구조 사이는 예외이다. 막 속에 Pinhole 등이 존재하면 막의 품질이 저하되며, 막들의 온도팽창계수가 서로 다르면 Crack, Adhesion 등의 구조적 문제가 발생할 수 있다.

[문제 2]
CVD 반응을 위치에 따라서 분류할 수 있다. Heterogeneous 반응은 Gas상태와 Solid상태의 결합으로, Wafer 표면 상에 화학반응이 직접 발생하여 생성물이 표면에 고착된다. Homogeneous반응은 가스(Gas)-가스상태에서 새로운 분자결합이 먼저 발생하여 생성물을 만든 후, Wafer 표면(Solid)으로 이동하여 Deposition되므로, 고체인 표면과 가스화합물 사이에서 다른 종류의 기체 원소가 방해(오염 등 발생)하기도 하고 분자결합(Gas-Gas 생성물)을 하여 어느 정도 안정된 후에 Wafer 표면과 다시 또 결합해야 하는 부담이 있기 때문에 결합력도 약화된다.

[문제 3]
Thermal Energy를 기반으로 하는 CVD는 초기에 Atmospheric Pressure(APCVD) 상태부터 진행된다. 이후 Atmospheric Pressure의 절반 정도 수준인 준기압(SACVD)을 적용했다가, Process Chamber 내 기압을 Atmospheric Pressure의 약 10분의 1배 ~ 100분의 1배 정도까지 낮추게 된다(LPCVD). PECVD는 LPCVD의 약 10분의 1정도, HDPCVD는 유도코일을 이용한 Magnetic Field를 적용하며 PECVD의 약 1000분의 1정도의 고진공도를 갖는다.

[문제 4]
HDPCVD의 ICP방식은 PECVD의 단점을 보완하기 위해 개발된 것이다. Chamber내는 백만분의 1기압 정도로 유지하면서, Sputter Etch용의 Argon Ion의 직진성을 확보해주면, Deposition시 발생되는 Overhang을 최대한 저지할 수 있다. 최근에는 PECVD의 대부분이 HDPCVD로 바뀌어 가는 추세다.

16. 게이트 단자 편

[문제 1]
Gate에 전압 V_gate가 인가되면 Gate 전압에 의한 Channel(S-D 사이)이 형성된다. Channel은 Gate Voltage와 함께 Gate Oxide를 중간에 두고서 Capacitor 역할을 함으로써 C_oxide가 생긴다. 이때 Gate Terminal내의 Resistance에 의하여 Voltage Drop이 발생되면서, 동시에 C_oxide에 의하여 Voltage가 축적된다.

[문제 2]
Aluminum은 Melting Temperature(약 섭씨 660도)가 낮고, 재질적으로는 Nickel보다 Aluminum의 Resistance 성분이 매우 낮은 Metal 성분이다(Nickel이 Aluminum에 비하여 Resistivity가 2배 이상 높음). Metal은 Ion-Implantation을 할 수 없으므로 Dopant 농도를 변화시킬 수도 없고, 그에 따라 Work-function과 WF과 연관된 Threshold Voltage를 적정한 값으로 맞추기가 매우 복잡하다. Metal 재질인 Aluminum Layer와 SiO2의 Layer간 Adhesion은 약한 편이다.

[문제 3]
Gate Terminal의 Material인 Metal Aluminum은 → Poly-Silicon을 거쳐 → Metal Cu로 변천되었다. 또한 TR Scaling이 진행되면서 Gate길이는 짧아지고, Gate Oxide의 Thickness 역시 동시에 얇아진다. High-k는 Gate Voltage를 하부 방향으로의 전달을 방해한다. Gate 재질이 HK/MG로 변경되면, Electric Field의 전달을 방해하는 요소가 Poly-Silicon 이외에 High-k까지 더해져 전달 속도가 느려진다. 게이트 재질이 Al에서 폴리실리콘을 거쳐 Cu로 변천되면, Cu는 금속이라도 동일한 Al 금속이 아니라, Melting Point은 높아지고 Resistivity는 Al에 비하여 절반 이하로 낮아져 Al일 때 겪었던 문제가 어느 정도 해결된다.

[문제 4]
해설 없음

18. 포토-리소그래피 편

[문제 1]

Photo Process에서 사용하는 Wave Length가 짧아지는 순서로 나열하면, Lamp의 Short Wave(G-Line > I-Line), Laser의 UV (KrF > ArF), Plasma를 이용한 EUV로 나눌 수 있다.

[문제 2]

Mask는 1 대 1배 축소, Reticle은 1 대 N배의 Shrinkage가 가능하지만, 일반적으로 Reticle도 Mask라 한다. Stepper와 Scanner는 노광기 내에서 Exposure하는 방식이다. 선 폭이 작아지면, Short Channel로 인한 Effect가 나타나며, Threshold Voltage까지 도달하기 전의 Gate Voltage에서도 Drain Current가 흐를 수 있는데, 이를 Sub-threshold Current라고 한다. Shrink Patterning 방식으로는 Litho-Etching-Litho-Etching(LELE)의 Multi-Pattern Process를 반복하여 Line Width를 줄일 수 있고, 그 외에 Gate 옆의 Insulating Layer인 Spacer를 이용하여 선 폭을 줄일 수 있다. FinFET > GAA-FET > MBC-FET은 Leakage Current 등, 미세화로 인한 부작용을 줄이기 위하여 Gate Terminal의 형태를 변경시킨 구조이다.

[문제 3]

Image를 Shrink하기 위하여 Mask의 Slit을 짧게 하면, 그에 따라 Wave Length가 축소되어야 하는데, Wave Length가 짧아지면, Resolution은 향상된다(Resolution 숫자가 파장에 비례하여 줄어듬). 반면, Depth of Focus는 Wave Length에 반비례하는데, DoF의 수치가 낮아지면 DoF가 악화되는 방향이다.

[문제 4]

Mask를 사용하여 발전된 Photo-Lithography 공정은 EUVL과 NIL로 나눌 수 있는데, NIL은 Wafer 상에 Coating한 PR(Photo Resist) 위에 Nano-Pattern을 Stamp형식으로 찍어내는 방식을 말한다. Mask를 사용하지 않는 Photo-Litholess-Graphy 방식에는 DSA와 Plasmonic Laser Nano Graphy 방식 등이 해당된다. 이는 회로 Pattern을 자유자재로 변경할 수는 있지만, 아직 분해능이 EUV- Lithography에 미치지 못하고 속도가 느리다는 단점이 있다.

20. 포토 공정 편

[문제 1]
빛 반사를 방지하는 BARC(Bottom Anti-Reflective Coat)를 Coating하게 되면, BARC 위에 Coating된 PR Layer을 투과하여 내려온 빛이 PR막과 Silicon(혹은 Deposition Layer)의 경계면에서 반사되어 다시 위로 되돌아가는 반사파 혹은 산란파를 억제하고 파의 Notching현상을 방지해준다. Notching은 수평측면으로 볼 때 파의 폭만큼 오차가 발생하는 것이므로 Line Width을 줄이는 데 제약요인이 된다.

[문제 2]
해설 없음

[문제 3]
PEB의 목적은 PR 속에 있는 PAC를 활성화시켜 PR Coating된 표면을 평탄화 시켜서 Standing Wave를 줄이기 위함이다. Standing Wave란 Exposure시 빛의 Interference(증폭과 감쇄)에 의해 감광 Interface에 결이 발생한 것을 의미한다. PEB를 실시하지 않고 Development를 진행하면, 감광막 내의 Interface 단면에 발생한 Curve가 펴지지 못한다.

[문제 4]
Photo공정에서는 Bake를 총 4번 실시 한다. HMDS관련 1회, PR관련 2회, 노광 관련 1회이다. 첫 번째는 HMDS가 흘러내리지 않도록 하는 Bake이고, 나머지 3번이 PR과 노광 관련된 Bake이다. 두 번째 Bake는 PR액을 굳게 하는 용도이고, 세 번째는 노광시 발생된 노광의 문제를 해결하는 차원이다. 네 번째는 식각에 들어가기 전에 식각 용액에 의하여 PR이 제거되지 않도록 하는 Bake이다.

[문제 5]
표면에서부터 내부로 내려갈수록 감광 에너지가 줄어들기 때문에 감광된 부위는 깔때기 모양의 역피라미드 형체로써, Positive PR은 역피라미드 부분이 현상되어 잔존PR은 피라미드 모양이 되고, Negative PR은 꺼꾸로 역피라미드 모양만 남는다. Positive PR은 목표 CD 대비(1:N 배) 양호하게 Pattern이 남고, Negative PR은 목표 대비 Final Pattern CD가 부풀려서 형성된다. 결국 Development 후, PR표면에는 Negative PR의 Remaining Pattern이 Positive PR Pattern 보다 더 크게 되어 Definition이 떨어진 결과를 초래한다. 따라서 Small Pattern을 적용시 Positive PR의 사용 빈도수가 높다.

[문제 6]

Wave Length가 짧고 Diameter가 큰 Lens를 사용하며 Focal Length가 짧아야 Resolution이 향상된다. Depth of Focus(DoF)를 향상시키려면, Diameter가 적어야 하고 Wave Length가 길어야 유리하다. Focal Length는 당연히 길어야 좋다.

21. 플라즈마 편

[문제 1]
Plasma는 우주에서는 흔한 현상이지만, 지구내의 환경에서는 자주 발생되지 않는다. Plasma는 매우 높은 온도 등 특수한 환경에서 발생되는데, 진공 상태일때는 낮은 전압을 인가하는 경우에도 발생 시킬 수 있다. Fe의 Melting Point는 Plasma의 생성 온도 보다 매우 낮은 온도이다.

[문제 2]
CCP의 단점을 보완하기 위해 개발된 ICP는 유도성이므로 Chamber 외곽에 전극용 Coil을 감아 놓은 복잡한 구조가 된다. 그에 따라 RIE(반응성 이온식각), 높은 밀도가 요구되는 HDPCVD(High Density Plasma CVD) 등에 응용된다. Plasma는 CCP에서 ICP로 발전되었는데, CCP는 DC > AC > RF 등으로 변천되었다. ICP방식에 의하여 발생된 플라즈마 입자들은 몰려다니면서 세탁기 욕조 내의 물의 밀도처럼 균일도가 일정하지 않다.

[문제 3]
Plasma를 구성하는 입자들 중 Electron들의 속도가 가장 빠르므로 Electron들이 Plus Electrode이나 Chamber 벽으로 쉽게 빨려 들어가거나 충돌하면서 Plasma와 Electrode/Chamber 사이에 반응이 없는 영역이 발생되는데 이를 Sheath라 한다. Plasma가 Sheath로 둘러 쌓여 정체가 된 Radical 혹은 중성 입자들이 Wafer 표면에 달라붙게 되면 Deposition이 되면서 막이 두터워지는데, 이를 PECVD라 한다. 따라서 Process Chamber에 인가하는 전력에너지를 조절하면, Plasma 내의 Electron이나 Positive Ion 혹은 Radical의 활동 에너지와 량을 조절할 수 있다. 상부판에 Plus 전압/하부판에 Minus 전압을 인가하면, 하부판에 놓인 Wafer 주위에는 Sheath가 발생하여 Radical이나 Positive Ion이 활동하기 좋은 환경이 된다. RF-Energy, Electrode의 전압 크기, Vacuum Condition, 투입된 소스가스량 등으로 Radical이나 Positive Ion의 활동량을 조절할 수 있어서 결과적으로 막의 두께의 관리가 가능해진다.

[문제 4]
활동력이 매우 큰 활성원자인 Radical의 활동인 경우, Radical이 표면에 위치한 막의 원자나 분자와 결합하여 화학적으로 다른 물질인 가스상태로 변하면 Etching(혹은 PR인 경우는 Ashing)이나 Cleaning이 된다. 2개의 Process gas끼리 혹은 Process gas와 막의 원자와 결합하여 화학적으로 변하면서 표면에 달라붙어 고형화 되면 CVD/ALD의 Deposition이 된다. Argon의 Positive Ion이 물리적으로 금속막의 표면에 있는 분자와 충돌할 경우, 금속 분자간의 결합력이 끊어져 막에서 분자들이 수많은 Vapor로 떨어져 나와서 반대편에 위치한 Wafer 표면에 달라붙게 하는 경우는 PVD(Sputtering 방식)가 된다.

23. 식각 편

[문제 1]

Plasma Etch에서는 먼저 Etch를 진행할 Process Chamber 안을 진공으로 만든 후, 식각 할 Target Layer에 맞는 Plasma Source Gas를 주입한다. Energy는 RF-Generator를 이용하여 Plasma를 만들고, 막질이 탄탄한 Oxide를 Etch 할 때에는 강력한 C-F 계열 Source를 사용한다. Cl계열 Source gas는 Poly-silicon과 Metal Film을 제거하는데 사용한다.

[문제 2]

Etch Rate로 가늠하는 Etch의 핵심 성능지수로는 Selectivity(선택비)가 있다. Selectivity의 기준은 주로 Masking 역할을 하는 막의 Etch Rate 대비 Target Layer의 Etch Rate이다. Selectivity가 높을수록, Hard Mask의 Etch Rate은 매우 느리고, Target Layer의 Etch가 빠르게 진행된다는 의미다. Hard Mask는 Etch가 안되는 것이 바람직하지만, Etch가 돼도 Target이 먼저 Etch가 완료되어야 한다. Scaling이 될수록 Selectivity가 높아야 Pattern이 제대로 구현된다. Positive Ion Etch의 Selectivity는 낮지만 Radical Etch의 Selectivity가 높으므로 RIE의 Selectivity가 높아지는 장점이 있다. Under Etch(미비식각)는 Target Layer가 목표 대비 덜 Etch된 것이고, Over Etch(과도식각)는 더 많이 Etch된 것이다. EoP(종말점)는 Etch가 끝나야 하는 싯점(종점)을 뜻한다. Loading Effect는 Etch할 Pattern의 Density를 의미한다. Etch할 Pattern이 많은 Area에서는 Etch Rate가 느려진다.

[문제 3]

Etch Rate는 1분당 Etch 된 Depth를 뜻한다. 막질이 탄탄한 Oxide를 Etch 할 때에는 강력한 C-F 계열 Source Gas를 사용하고, Oxide보다 막질이 약한 Silicon이나 Metal Layer에서는 CL 계열의 Source Gas를 사용한다. Etching 방식은 Wet에서 Dry 방식으로 진화되었다. Aspect Ratio는 점점 값이 올라가고, Wet 방식으로는 한계가 있다.

[문제 4]

RIE 방식의 핵심은 Anisotropic 특성을 갖는 Positive Ion으로 Etch 부위를 공격해 막질 내 Target의 분자-분자 사이의 결합력을 약화시킨 뒤 약해진 부위를 반응성이 높은 Radical(Isotropic 특성)이 흡착, 막을 구성하는 입자와 결합해 휘발성 화합물인 Gas로 만들어 배출시키는 방식이다. RIE는 Ion이 반응을 하는 것이 아니라, Ion이 물리적 작용을 하면 Radical이 화학적 반응을 한다.

24. 세정 공정 편

[문제 1]

Hydrogen peroxide(H2O2)에 강한 Sulfuric acid를 섞으면 유기성 및 금속성 오염물에 더하여 Photo process중 Development에 사용하고 남은 PR막까지 제거가 가능하게 됩니다.

[문제 2]

HF(Hydrogen Fluoride)은 Wet Cleaning Solution중에 가장 강력하여 튼튼한 Oxide까지 제거할 수 있으며, 이를 발전시켜 BOE Cleaning을 진행한다. 따라서 Wet Cleaning의 큰 발자국은 Standard Cleaning → Piranha Cleaning → BOE Cleaning으로 보면 되겠다. BOE(Buffered Oxide Etchant)는 Cleaning Equipment 혹은 Etching Equipment에 자주 적용하고 있으며, 특히 표면에서 잘 떨어지지 않는 Particle도 Remove 가능하다.

[문제 3]

Device Shrink Pattern에 따라 Cleaning Method에도 획기적인 변화가 일어난다. Minimum Feature Size 100nm 이후로는 Aspect Ratio(높이/밑변) 값이 상승하여 Cleaning Solution이 Trench 밑바닥까지 내려가지 못하는 치명적인 결함이 발생된다. High Aspect Ratio에서는 Wet Cleaning Process가 불가하므로 Dry Cleaning Process을 찾는다. 대안으로 등장한 Dry Cleaning은 여러 가지 방식으로 분화할 수 있어 Device Shrink에 따라 발전을 거듭하고 있다.

[문제 4]

Wet Cleaning을 할 때 Cleaning 효과를 높이기 위하여, Cleaning Bath의 밑에서 Ultrasonic Wave를 인가하며, 이때 Frequency를 높이기도 하는데, 이를 Megasonic Cleaning이라고 한다.

Dry Ice Method은 냉각시키지는 않지만 기체 상태를 액체 상태로 만든 후, 그대로 고압으로 분사하게 되면 액체가 순간적으로 얼음 기체인 Dry Ice가 되어 Wafer 표면을 Cleaning한다.

Aerosol Method은 기체 상태의 분자를 급속히 냉각시켜 액체를 거치지 않은 냉각된 입자를 이용하여 한정된 영역에 분사시키는 방식이다.

Ultrasonic Wave 보다 좀 더 강력한 Cleaning 방식으로 특수한 Lamp에서 나오는 UV Wave을 이용하기도 하고, 약한 Laser Beam을 Scanning하는 방식도 유기/무기 잔류물을 제거하는데 좋다.

Plasma의 Radical 또한, 매우 효용성이 높아서, Wafer를 장기간 혹은 단기간 방치시에 자연적으로 형성되는 Oxide를 제거하는데 사용된다.

26. 확산 편

[문제 1]

Diffusion은 농도차이를 이용하여 자연적으로 대상물질에 퍼지는 현상을 이용한 것이고, Ion-Implantation은 인위적으로 대상 물질을 파괴하면서 Doping한다. Diffusion은 공정 진행 시에 Wafer를 구성하는 결정 입자들의 손상이 거의 없고 생산성이 높아서 1970년대까지 Doping시 자주 이용되었지만, 가장 치명적인 단점인 Isotropic 특성으로 Shrinkage에 부적합하여 Ion-Implantation으로 많이 대체되었다.

[문제 2]

Diffusion은 Ion-Implantation과 마찬가지로 주로 3개 종류의 Dopant Gas를 Doping시켜 Insulation에 가까운 Intrinsic Silicon에 Conductivity를 높여준다. 두 방식 모두 Dopant 종류로는 13족은 B5(Boron)를, 15족은 As33(Arsenic)와 P15(Phosphorus)을 투입한다. 최근 15족인 Sb51(Antimony)은 사용 빈도수가 줄어들고 있다. 13족을 Doping(Diffusion 및 Ion-Implantation)시 Al13(Aluminium)도 활용하였으나, Al13은 Doping을 한 후에, 고온에서 자체적으로 잘 뭉치는 Low Solid Solubility를 보이기 때문에 Density(집적도)가 높아진 현재는 거의 사용하지 못하고 있다.

[문제 3]

High Temperature Furnace를 이용하는 Fab Process는 Diffusion, Oxidation, LPCVD 정도 된다.

[문제 4]

무한 공급도핑소스는 Diffusion영역에 계속적으로 Diffusion을 진행시켜 Diffusion이 끝날 때까지 끊임없이 Dopant 입자를 주입시키지만, 일정한 Doping Source를 적용할 경우는 Diffusion시킬 Dopant의 총량이 정해져 있어서 선증착을 완료 후에 더 이상 Dopant를 공급하지 않고 후확산(Ion-Implantation에서의 Annealing 개념)을 진행한다. 따라서 무한공급도핑소스를 이용한 Diffusion은 표면 Dopant의 분포가 일정하여 표면 농도가 Diffusion 초기나 후기 모두 거의 동일하다. 그러나 선증착-후확산 Source를 이용한 Dopant 분포는 표면 농도가 시간에 따라 일정하지 않아서, Diffusion 초기에는 표면 농도가 높고, Diffusion이 완료된 후에는 표면의 농도가 중간 깊이 보다 낮으며, 중간 깊이의 농도가 가장 높은 특성을 보인다.

27. 이온주입 편

[문제 1]

Ion-Implantation은 Boron(B) 같은 경우, 체적이 작기 때문에 Channeling이 깊게 되는 우려가 있고 Doping된 Ion들을 고온 열처리 방식으로 반드시 Annealing이란 추가공정을 거쳐야 한다. Ion-Implantation은 Anisotropic Doping이기 때문에 Diffusion Operation에 비하여 Shrinkage에 유리하며, Dose와 주입 Energy를 통제하여 Doping Quantity과 Doping Depth를 제어할 수 있다.

[문제 2]

Well은 깊이까지 형성되어야 하므로 Ion이 깊이 침투해야 한다. 따라서 Low Density의 Doping이 필요하므로 High Energy-Low Dose로 제어한다. Source/Drain 단자는 표면에 얇게 위치해야 하므로 Low Depth/High Density Doping이므로 Low Energy-High Dose로 제어한다.

[문제 3]

Silicon Substrate를 약 7~10도로 Wafer를 Tilt시키면, Doping되는 Ion들과 Silicon 원자핵과의 충돌 치환률이 NO-Tilt 보다 급격히 상승한다. 그러나 Tilting Doping은 골고루 Doping되지 못한다는 단점이 있으므로, 이를 해결하기 위하여 Tilting 상태에서 다시 Wafer 각도를 360도 Rotation시켜가면서 Tilting-Rotation-Doping을 한다.

[문제 4]

이온주입장비는 High Energy와 High Current 모두를 만족시키 수 있는 장비 보다는 한쪽으로 포커스 된 장비로, Depth(Energy)에 초점이 맞춰진 High Energy-Low Current장비이거나, 아니면 High Current(Dose, Density)에 초점이 맞춰진 Low Energy-High Current장비로 나뉘어진다(물론 중간 형태의 장비들도 있음). Ion들이 Screen Oxide를 통과하여 Sub 속으로 들어갈 때, Oxide의 원자들과 충돌하면 굴절되어 표면층 가까이로 Ion들이 포집되는 효과를 볼 수 있다. 고온-확산에 비하여 저온에서 진행하는 Ion-Implantation 공정은 갈수록 많이 사용되고 있다. 중성빔의 Filtering은 Reaction Chamber에서 진행하고, 분류기에서는 최종적으로 Doping할 Positive-Ion을 Selection한다.

28. 어닐링 편

[문제 1]
Ion-Implantation은 Silicon 원자끼리 공유 결합된 상태를 파괴시킨다. 이는 Dopant가 Silicon 원자들을 정위치에서 분리하여 밀어내거나 멀리까지 떨어지도록 한다. 반면, Annealing은 Ion-Implantation으로 파괴된 공유결합 상태를 화학적으로 다시 복원하는데 있다. Annealing은 Insulating 성질의 물질이 Conduction 성질을 갖도록 한다.

[문제 2]
Annealing의 목적이나 역할은 Dopant의 Diffusion Depth를 조절하고, Dopant Atom을 Silicon Atom으로 Substitution시켜서 Ion-Implantation으로 파괴된 Lattice Structure를 Recovery한다.

[문제 3]
Ion-Implantation후에는 Dopant들의 Lateral Direction Diffusion을 Minimize시킬 목적으로 일반적인 열처리에 비해 온도를 단시간내에 Rapid 상승시키고 Rapid Cooling시키는 RTA방식을 진행한다.

[문제 4]
Annealing은 1초에 100~400˚C씩 올려가면서 Wafer를 1장씩 진행한다(갈수록 온도 경사도는 상승함). 이때 중요한 조건으로는 Wafer 전체에 온도가 균일하게 유지되어야 하므로 RTA의 적외선광선 보다는 자외선복사광선을 이용하는 RPP가 보다 발전된 Annealing 장치로 이용되고 있다. 혹은 온도 차이로 인한 Wafer의 Warpage를 방지하기 위해 Full batch type의 Furnace 속에 Wafer를 1장씩 넣고 Wafer를 아래/위로 움직여 열처리를 하는 Vertical Furnace RTA를 사용하기도 한다.

32. 문턱전압 편

[문제 1]
저항의 입장에서 본 Threshold Voltage는, MOSFET상에서 Current가 흐르지 않던 상태가 Current가 흐르는 상태로 반전되는 시점의 전위장벽인 Voltage인데, Gate단자에 전압을 가하여 Current가 흐르기 시작하면 Threshold Voltage로 인한 저항치는 급격히 감소한다.

[문제 2]
Threshold Voltage은 한번 정해지면 일정해야 하는데, Sub에 가하는 Voltage에 의해 Threshold Voltage이 변하는 것을 Body Effect라 한다. Body Effect의 해결책으로 1) Gate Oxide의 Thickness를 얇게 하여 Gate Voltage이 Channel에 미치는 영향력을 크게 하면 Body Effect가 줄어든다. 2) Source와 Sub의 전위차이를 줄이면 Body Effect를 해결하는 데 도움이 되므로, Vsb는 Minimum으로 유지시켜 준다. 3) 각 Layer들의 Dopant Doping을 조절해 Body Effect를 줄일 수 있는데, 이 경우에는 또 다른 부작용이 발생할 수 있다.

[문제 3]
Threshold Voltage에 영향을 끼치는 요소들로는 Substrate의 Base Material Type, Gate Oxide에 Trap된 Electron Quantity, Gate Oxide Thickness, Oxide의 Permittivity(Dielectric Constant), Gate Layer와 Sub Level의 Doping된 값, Gate Depletion Layer의 Plus Charge Quantity, Body Effect 등이다.

[문제 4]
Transfer Characteristics상에서 Threshold Voltage와 Channel의 연관관계를 살펴볼 때, Threshold Voltage 전후로 Channel의 Thickness가 얇아(미생)졌다가 두꺼워(완생)진다. Cell도 Threshold Voltage을 기준으로 OFF/ON 상태가 변한다. Channel의 물리적 상태를 나타내는 Pinch-on(Vgs = Vth)은 Voltage로는 곧 Threshold Voltage을 의미하는데, Threshold Voltage을 기준으로 Drain Current가 '흐르지 않거나(Cut-off Area : Vgs < Vth)', '흐르거나(Vgs > Vth Active Area와 Saturation Area)'가 결정된다.

34. 단채널 부작용과 누설전류 편

[문제 1]
Channel은 Source Terminal에서 Drain Terminal까지의 물리적인 거리 내에서 형성되는 Inversion Area(nMOSFET인 경우 Gate Terminal에 Plus Voltage을 인가하여 발생된 n-Type Channel)라고 정의한다. 반도체 Technology란, 곧 구조적인 Channel Length를 의미하는데, 이는 Gate의 Length와 거의 같으며 위층의 Structure로는 Metal Layout시 Metal Line Width을 뜻한다. 실질적으로는 Pitch의 절반이다.

[문제 2]
Channel Length가 짧아짐에 따라 Drain Voltage에 의한 Electric Field가 순방향 된 Source Junction에 더욱 Forward Bias로 영향을 끼쳐서 Js의 Depletion Area가 줄어들고, 그에 따라 Source의 Major Carrier를 과도하게 끌어당김으로써 발생되는 DIBL, Js & Jd의 Depletion Area가 서로 가까워지거나 마침내 Reach되어 발생하는 Punch Through, Channel에서 Electron이 Drain Terminal로 가까이 갈수록 점점 속도를 높이다가 충돌에 의하여 2차, 3차 Electron을 양산하고 그렇게 하여 양산된 Major Carrier들이 Gate Voltage에 이끌려 Gate 방향으로 올라가는 HCI, Jd의 Depletion Area가 넓어져 있고 구조적으로 Drain Terminal과 Gate Terminal의 Overlapping이 발생된 상태에서 Gate Voltage Level과 Drain Voltage Level의 전위차이로 인하여 Jd의 결핍영역에서 발생된 EHP(Carrier)가 Drain단자로 이동하는 GIDL 등이 발생된다.

[문제 3]
구조적 해결 방식으로는, SOI뿐 아니라 Gate 구조를 FinFET 구조로 변경하면 Gate Area가 대부분의 Channel Area를 'ㄷ'자 혹은 'ㅁ'자 형태로 감싸서, 여러 형태의 누설전류 발생을 Minimize 하거나 방지한다. 최근에 개발된 MBCFET는 Channel을 4면으로 감싸는 형태다. Source Terminal층이 Sub 밑으로 깊어질 경우와 Source-Drain 사이의 길이가 길어지는 경우는 Shrink에 역행하고, TSV는 후공정의 Wire-Bonding을 대체하는 공정으로 Chip과 Chip들을 물리적으로 연결하는 Through Via다.

[문제 4]
화학적 해결 방식으로는, Oxidation(SOI)과 Doping이 있는데, Doping은 LDD, Halo 및 Channel Area Doping을 진행한다. Source/Drain Terminal에 Terminal보다는 약간 약하게 Ion-Implantation(nMOS인 경우 n- 혹은 pMOS인 경우 p-)을 하여 Junction(Js, Jd)에 미치는 Electric Field의 영향을 줄이는 역할을 하고(LDD), Terminal과 반대 타입으로 Doping을 하여 Depletion Area을 원천봉쇄한다(Halo). 혹은 Channel Area에 Doping을 하여 Threshold Voltage을 높이기도 한다. 이는 Vth를 낮추는 방향과 반대인데, Threshold Voltage를 낮추는 장점 보다는 TR을 통제할 수 있느냐의 여부가 더 우선하기 때문이다.

38. CMOS 동작특성 편

[문제 1]

Current를 형성시키는 Major Carrier 중 BJT는 Hole과 Electron, 즉 Carrier 2종류를 이용하기 때문에 Bi-polar TR이라고 한다. FET는 Carrier로 Hole 혹은 Electron 중 1종류만 Operation에 관여시켜 Uni-polar TR이라고 한다. FET의 Density가 높기 때문에 BJT보다는 FET를 주로 사용한다. FET는 Horizontal로 Carrier를 이동시켜 한 종류의 Current만 관리하는 반면, BJT는 Seed용 Base Current 및 Main용 Collector Current인 두 종류를 다루어야 하므로 BJT가 Operation하기가 더 불편하지만 성능은 월등히 좋다. FET는 Seed Voltage로 TR을 Operation시키므로 Gate Oxide가 반드시 필요하다.

[문제 2]

CMOSFET의 회로는 nMOSFET과 pMOSFET으로 구성된다. Enhancement nMOSFET가 단독으로 Operation하는 경우, Source Termination에는 -Vss인 Bias 전압을, Drain Termination에는 +Vdd인 Bias 전압을 인가하여 Drain 단자의 전압을 높게 해야 Drain Current가 흐른다. Gate Termination에는 Plus Voltage를 인가해야 TR이 ON이 되고, Drain 전압은 Gate Input Voltage 보다 약간 높게 설정한다. Carrier는 Electron이 활용되고, Source/Drain Termination은 n-Type이 되어야 하므로 15족을 Ion-Implantation한다.

[문제 3]

CMOS가 주로 쓰이는 Operation인 Inverter에서는 nMOS는 Low Level을 전달(Pull-down 소자 'ON')시키고, pMOS는 High Level을 전달(Pull-up 소자 'ON')시키도록 Voltage(-Vss와 +Vdd)을 배치하면 Vth Loss없이 Gate의 Input Signal(High/Low)이 완벽하게 Reverse되어, Drain으로 Output(Source/Drain Termination에 인가된 Bias Voltage가 출력)된다. Device들의 Operation 시 Voltage-Loss 가능성을 거의 제로로 탈바꿈 시킨 것이 CMOSFET이다.

[문제 4]

Operation은 nMOSFET 혹은 pMOSFET 둘 중 하나를 ON시키면 동시에 다른 하나는 OFF되어, ON이 활성화된 TR에서 +Vdd 혹은 -Vss/GND을 Output한다. Input Level에 따라 High Input Level("1")일 때는 Pull-down nMOS가 ON되어(pMOS는 OFF) -Vss("0", Low)가 Drain Termination으로 Output되고, Low Input("0")일 때는 Pull-up pMOS가 ON되어(nMOS OFF) +Vdd("1", High)가 Output된다. 이는 Input된 Signal의 크기가 반전된 형태로 Output되어야 하는 Inverter('NOT' Gate) Function과 동일하다.